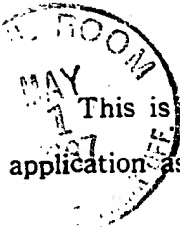


ENGLISH TRANSLATION OF THE COVER SHEET
PATENT OFFICE

JAPANESE GOVERNMENT

RECEIVED

MAY 04 1987

 This is to certify that the annexed is a true copy of the following
application as filed with this Office.

GROUP 230

RECEIVED

Date of Application : February 20 , 1986

JUN 11 1987

Application Number : Japanese Patent Application
No. 61-36361

GROUP 250

Applicant(s) : FUJITSU LIMITED

February 6 , 1987

Director-General,

Patent Office Akio Kuroda

Certificate Issuance No. 62-3209

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

RECEIVED

MAY 04 1987

GROUP 230

別紙添付の書類は下記の出願書類の謄本に相違ないことを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 1986年2月20日
Date of Application:

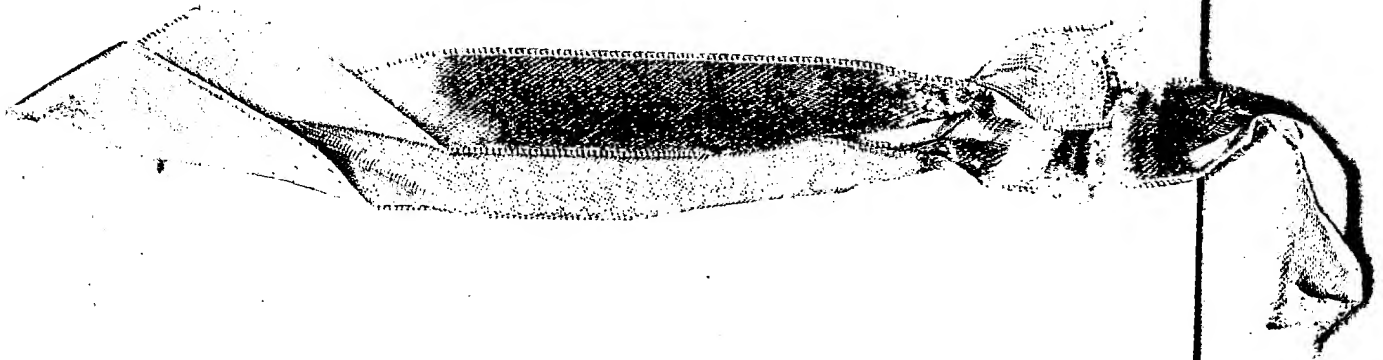
RECEIVED

JUN 11 1987

出願番号 昭和61年特許願第36361号
Application Number:

GROUP 250

出願人 富士通株式会社
Applicant(s):



198

6日

特許庁長官
Director-General,
Patent Office

黒田明雄



出証昭 62-3209

(9500円)

国際特許分類	
サブクラス	グループ
H01L	27/04

特 許 原 頁 (E2)

昭和 年 月 日

61. 2. 20

特 許 庁 長 官 殿

1. 発明の名称

ダイナミックランダムアクセスメモリ

2. 発明者住所

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

氏名 田 口 眞 男

3. 特許出願人 郵便番号 211

住 所 神奈川県川崎市中原区上小田中1015番地

(522) 名 称 富士通株式会社

代 表 者 山 本 卓 眞

4. 代 理 人 郵便番号 211

住 所 神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(7259) 氏 名 弁理士 井 桁 眞 一

電話 川崎 (044) 433-5341



5. 添付書類の目録

(1) 明 細 書
(2) 図 面
(3) 委 任 状
(4) 願 書 副 本

1 通
1 通
1 通
1 通

明 細 書

1. 発明の名称

ダイナミックランダムアクセスメモリ

2. 特許請求の範囲

一導電型半導体基体(1)と、該半導体基体(1)に形成された溝(4)と、該溝(4)の開口部近傍領域を除く内面全域に形成された一導電型の第1の導電層(5)と、該溝(4)内に露出する該第1の導電層(5)及び該半導体基体(1)の表面上に形成された誘電体層(6)と、該溝(4)内に該誘電体層(6)を介して埋込まれた反対導電型の第2の導電層(7)とよりなる蓄積キャパシタと、

該一導電型半導体基体(1)に形成され、且つ一方の反対導電型ソース／ドレイン領域(9B)が、該誘電体層(6)を介して該蓄積キャパシタの第2の導電層(7)に接する反対導電型チャネルMISトランジスタとを有し、

該蓄積キャパシタの第2の導電層(7)が、

該MISトランジスタの該一方の反対導電型ソ

ース／ドレイン領域(9B)の表面と該誘電体層(6)の端面及び該第2の導電層(7)の表面上に直に接して延在し、且つ該反対導電型不純物を含む第3の導電層(12B)により、該M I Sトランジスタの該一方のソース／ドレイン領域(9B)に電氣的に接続されてなることを特徴とするダイナミックランダムアクセスメモリ。

3. 発明の詳細な説明

(概 要)

トレンチキャパシタを有するダイナミックランダムアクセスメモリ(以下略してDRAMと記す)セルにおいて、半導体基体に形成したトレンチの基体側を対向電極とし、トレンチ内に誘電体層を介して埋込まれた導電層を蓄積電極とする構造を有し、蓄積電極がトレンチキャパシタに接して形成されるセルトランジスタのソース／ドレイン領域に、それらの表面に直に接して延在する別の導電層によって電氣的に接続された構造を提起し、DRAMセルの高集積、高性能化を図る。

〔産業上の利用分野〕

本発明は高集積、高性能のDRAMセルの構造に関する。

トレンチキャパシタは、256KビットDRAMまで一般的に用いられてきたプレーナ型セルに比べて、キャパシタ部が立体的（溝状）に構成されたMOS構造で、実効的なキャパシタ面積を広くとることができるため、小型で大きな蓄積容量が得られる特徴がある。

然しながら、トレンチキャパシタは以下に説明する問題点を有し、更に小型で蓄積容量が大きく、高集積化してもパンチスルーが起こらない構造が要望される。

〔従来の技術〕

第3図はトレンチキャパシタセルの従来例を示す模式側断面図である。

図において、51は半導体基板でp型珪素(p-Si)基板、52はセル領域を画定するフィールド絶縁層

で二酸化珪素(SiO_2)層、53は蓄積電極で反転層を形成する電子、54は誘電体層、55は多結晶珪素(ポリSi)層よりなるセルプレート(対向電極)で、反転層53、誘電体層54、セルプレート55により蓄積キャパシタが構成される。

56はゲート絶縁層、57はポリSiよりなるワード線、58A、58Bは高濃度不純物導入領域で n^+ 型ソース/ドレイン領域である。該ソース/ドレイン領域58A、58Bとワード線57をゲートとしてMISトランジスタ(FET)が構成される。

そして、ソース/ドレイン領域58Aとコンタクトし、且つ基板上においてワード線57と垂直方向に、例えばアルミニウム(Al)よりなるビット線59が形成される。

この場合、蓄積キャパシタとMISトランジスタとの接続はソース/ドレイン領域58Bと反転層53間で行われ、従って基板側の反転層53が情報電荷を蓄積する蓄積電極となる。

該DRAMセルは図の右側に示されるように、近傍部に隣接セルの蓄積キャパシタがフィールド絶縁

膜52を隔てて形成されている。点線は基板内に拡がった空乏層の先端を表し、同図には隣接するキャパシタ同士がパンチスルーを起こしている状態が示されている。

このような従来のトレンチキャパシタセルは、プレーナ型のセルに比べ高集積化に有利ではあるが、以下に示すような欠点を有していた。

① 書込み電圧の損失

蓄積キャパシタはトレンチ内に形成されたMOS構造の反転層53とセルプレート55間の容量を用いるため、セルプレートに給電されている電圧に対して反転層53を形成するための閾値電圧分低下した電圧までしか書込めず、最大書込み可能電圧は電源電圧よりも約1V程度低下してしまう。

② キャパシタ間のパンチスルー

上記電圧損失を小さくするためには、基板の不純物濃度を低くしなければならないが、低過ぎると図示のように空乏層の拡がりによって隣接セルのトレンチキャパシタとの間でパンチスルーを起こし、キャパシタ間が電氣的に結合して蓄積情報

の信頼度が損なわれる。

また、トレンチ内の表面に沿って基板と逆導電型の領域を形成する、いわゆるHi-Cキャパシタの構造にすれば電圧損失の問題はなくなるが、この逆導電型領域の拡散深さ分だけ隣接トレンチキャパシタ間の間隔が縮まったことになり、パンチスルーの危険性は増す。

更にこの際、トレンチ側壁に不純物を導入するプロセスは、イオン注入で出来ないため製造が極めて困難である。

③ ソフトエラー

基板中に蓄積電極（反転層）53から空乏層が広く拡がり基板中に発生した小数キャリアを捕獲し易く、例えば α 線入射によるソフトエラーを起こし易い。

以上のような欠点がトレンチキャパシタの実用化に対して大きな障害となっていた。

〔発明が解決しようとする問題点〕

本発明が解決しようとする問題点は、上記のよ

うに従来のトレンチキャパシタを有するDRAMセルにおいて生じていた、隣接する蓄積キャパシタ間のパンチスルー、ソフトエラーの問題、及びセルプレート配設による集積度の低下の問題である。

〔問題点を解決するための手段〕

上記問題点は、一導電型半導体基体(1)と、該半導体基体(1)に形成された溝(4)と、該溝(4)の開口部近傍領域を除く内面全域に形成された一導電型の第1の導電層(5)と、該溝(4)内に露出する該第1の導電層(5)及び該半導体基体(1)の表面上に形成された誘電体層(6)と、該溝(4)内に該誘電体層(6)を介して埋込まれた反対導電型の第2の導電層(7)とよりなる蓄積キャパシタと、該一導電型半導体基体(1)に形成され、且つ一方の反対導電型ソース／ドレイン領域(9B)が、該誘電体層(6)を介して該蓄積キャパシタの第2の導電層(7)に接する反対導電型チャネルMISトランジスタとを有し、該蓄積キャパシタの第2の導電層(7)が、該MISトランジスタの該一方の反

対導電型ソース／ドレイン領域(9B)の表面と該誘電体層(6)の端面及び該第2の導電層(7)の表面上に直に接して延在し、且つ該反対導電型不純物を含む第3の導電層(12B)により該M I Sトランジスタの該一方のソース／ドレイン領域(9B)に電氣的に接続されてなる本発明によるダイナミックランダムアクセスメモリにより解決される。

〔作 用〕

本発明のDRAMセルは、キャパシタ部のトレンチ内に誘電体層を介して埋込まれた導電層と、トランジスタ部とを、高密度に接続するために特別の工夫がなされており、これによってトレンチ内に埋込まれた導電層を蓄積電極とすることを可能ならしめ、且つトランジスタとトレンチキャパシタとを密着配置することを可能ならしめて、DRAMセルの高性能化、高集積化を図るものである。

このトレンチ内に埋込まれた導電層とトランジスタ部との接続に、半導体層上への導電層の選択成長技術を用い、半導体またはタングステン等の

導電層の選択成長において、1000 Å 以下程度に接近した2つの半導体領域上に成長する場合、成長層が2領域間の誘電体層（絶縁層）によって形成される間隔を覆って連続してしまうという性質を利用したものである。

〔実施例〕

以下本発明を、図示実施例により具体的に説明する。

第1図は本発明の一実施例によるトレンチキャパシタセルを模式的に示す平面図(a)及び側断面図(b)、第2図(a)～(d)は同トレンチキャパシタセルの製造方法の一例を示す工程平面図及び工程断面図である。

1字訂正

第1図(a)及び(b)において、

1は半導体基板でp-Si基板、

3はセル領域を画定するフィールド絶縁膜層でSiO₂層、

4はフィールド領域を含んで形成された溝（トレンチ）、

5 はトレンチの開口部近傍領域を除く内面全域に形成された第1の導電層でp⁺型のポリSiよりなるセルプレート（対向電極）、

6 は窒化珪素(Si₃N₄)よりなる誘電体層、

7 はトレンチ内に誘電体層を介し埋込まれた第2の導電層でn⁺型のポリSiよりなる蓄積電極である。

セルプレート5、誘電体層6、蓄積電極7で蓄積キャパシタが形成される。

8 はゲート絶縁層でSiO₂層、

9A, 9B はn⁺型ソース／ドレイン(S/D)領域、

9Cはソース／ドレイン領域と同時に形成された不純物導入領域。

10A チタンシリサイド(TiSi₂)層よりなる自己セルのワード線（ゲート電極）、

10B は同じく隣接するセルのワード線である。

p-Si基板1、ゲート絶縁層8、n⁺型S/D領域9A, 9B、ワード線10Aにより該メモリセルのトランジスタが構成される。

11は SiO_2 絶縁層、

12A は n^+ 型ポリSi層よりなる第3の導電層、

12B は第3の導電層でトランジスタのS/D領域、例えば9Bと蓄積キャパシタの蓄積電極7を電氣的に接続する n^+ 型のポリSi層、これによりDRAMセルが構成される。

13は層間絶縁層、

14は配線コンタクト窓、

15は S/D領域9Aに第3の導電層9Aを介してコンタクトし、層間絶縁層上にワード線と直交する方向に延在せしめられるアルミニウム(Al)よりなるビット線を示す。

同図に示すように本発明に係るトレンチキャパシタセルにおいては、トランジスタのS/D領域9Bと蓄積キャパシタの蓄積電極7との電氣的接続は第3の導電層12(12B)によつてなされる。

従ってトレンチ4内の第2の導電層7が情報電荷を蓄積する蓄積電極となり、基板側の第1の導電層5がセルプレート(対向電極)となり、従来

と逆になる。

そして、上記トランジスタの S/D領域9Bと蓄積キャパシタの蓄積電極7とを接続する第3の導電層12(12B)は、ワード線10a,10b間に表出せしめたSi面に選択成長させることにより、マスクプロセスを用いずに、ワード線に自己整合して形成される。

なお S/D領域9Bとセルプレート5との電氣的分離はソース/ドレイン接合によってなされる。

次に上記本発明に係るトレンチキャパシタセルの製造方法の概略を、第2図(a)~(d)に示す工程¹ 訂正
平面図と工程断面図及び第1図を参照して説明する。

第2図(a)参照

先ずp-Si基板1面の素子形成領域上に選択酸化用の耐酸化膜として、例えば Si_3N_4 層(または Si_3N_4 と SiO_2 との複合層)2を形成し、これをマスクにしてSi基板1を酸化し、フィールド絶縁層として厚さ4000Åの SiO_2 層3を形成する。

第2図(b)参照

次いで通常のリソグラフィとリアクティブ・イオンエッチング(RIE)を用いて、フィールド絶縁層3を含めて非酸化領域に深さ例えば $3 \sim 4 \mu\text{m}$ のトレンチ4を形成する。

第2図(c)参照

次いでトレンチ4の内面を含む基板1の全面に p^+ 型にドーブしたポリSi層を厚さ2000Å程度に成長し、次いで基板面に垂直方向に優勢な異方性ドライエッチング手段例えばRIE処理により、トレンチ4の内面だけ残して他領域のポリSi層を除去して、トレンチ4内に第1の導電層として p^+ 型ポリSi層5を形成する。

この時オーバエッチング等の手段により、開口部近傍領域即ち、開口部から例えば $0.5 \mu\text{m}$ 程度の深さまでのトレンチ壁面のポリSi層5を選択的に除去する。これは、この領域に形成されるトランジスタのソース／ドレイン領域の接合耐圧向上に有利なためである。

なお、ここでトレンチ内面に p^+ 型ポリSi層5を形成するのは、トレンチ壁面に基板と同一の導

電型で且つ高不純物濃度の領域を作ることを目的としており、これによって基板部分がセルプレート
の役目をするようになる。

次いで耐酸膜 2 を除去し Si 面を裸出した後、
トレンチ 4 の内面を含む全面に誘電体層として厚
さ例えば 100 Å 程度の Si_3N_4 層（または SiO_2 層、
またはこれらの複合層）6 を酸化する、または成長に
よって形成する。

この膜は酸素雰囲気中でアニールすることによ
り、絶縁耐圧が向上することが知られている。

なおこの膜は蓄積キャパシタの誘電体層 6 とな
る。

第 2 図 (d) 参照

次いで、トレンチ 4 内を含む基板 1 上に、トレ
ンチを埋める程度の厚さに n^+ 型にドーピングしたポ
リ Si 層を成長し、次いで基板面に対して垂直方向
に優勢なエッチングにより該ポリ Si 層をトレンチ
4 内のみ、若しくはトレンチ 4 の周囲に僅かに広
がる程度に残して、第 2 の導電層（蓄積電極）と
しての n^+ 型ポリ Si 層 7 を形成する。

第 2 図 (e) 参照

次いでトレンチ 4 外に表出する Si_3N_4 (誘電体) 層 6 を除去し Si 基板 1 面を露出させるた後、通常の MOS トランジスタの形成方法に従い基板 1 の表面を酸化し、ゲート絶縁層として厚さ例えば 280 Å 程度の SiO_2 層 8 を形成する。この際 900 °C 程度の低温で酸化を行うと、 n^+ 型ポリ Si 層 (蓄積電極) 7 表面の SiO_2 層 8 は 600 Å 程度の厚さになる。

次いで該主面上に例えば 4000 Å 程度の厚さにチタンシリサイド (TiSi_2) 等のゲート材料となる物質を被着し、次いでその上に厚さ 1500 Å 程度の SiO_2 層 11a を被着し、パターンニングを行って SiO_2 層 11a を上部に有する TiSi_2 ワード線パターンを形成し、次いで該主面上に再び 1500 Å 程度の SiO_2 層 11b を形成し、異方性エッチング手段によりワード線パターンの上面及び側面に SiO_2 層 11a 若しくは SiO_2 層 11b を残留せしめ (公知技術)、表面が絶縁層となる SiO_2 層 11 (11a、11b) に覆われた TiSi_2 よりなるワード線 10A、10B 等を形成する。

この際ワード線に覆われないSi基板1面及びトレンチ4に埋込まれたポリSi層7の表面は露出される。

第2図(f)参照

次いで通常の方法によりワード線（ゲート電極）をマスクにして磷または砒素を選択的にイオン注入して n^+ 型ソース／ドレイン領域9A及び9Bを形成する。この際トレンチ4内に埋込まれた n^+ 型ポリSi層7にも n 型の不純物導入領域9Cが形成される。

次いで選択気相成長手段により上記基板上に厚さ4000Å程度の磷を高濃度にドーピングした n^+ 型のポリSi層の選択成長を行う。

この際 SiO_2 層11及び3上にはポリSi層は成長せず、Si面が表出するソース／ドレイン領域6A, 6B及び n^+ 型ポリSi層7即ち蓄積電極上面の n 型不純物導入領域9C上に n^+ 型ポリSiよりなる第3の導電層12A及び12Bが形成される。なお表出している誘電体層6の端部には該 n^+ 型ポリSi層は成長しないが、その厚さが100Å程度で極めて接近

しているのソース／ドレイン領域6B上のポリSi層と蓄積電極7上のポリSi層とは連続した第3の導電層12Bとなり、ソース／ドレイン領域6Bと蓄積電極7の導通がとられる。

第1図参照

以後通常の方法により、基板全面に層間絶縁層13を被着し、ビット線がセルにコンタクトするソース／ドレイン領域6A上にコンタクト窓14を開け、Al等よりなるビット線15を形成する。

このようにして完成した本発明に係るメモリセルは、次のような特徴を有する。

- ① 蓄積キャパシタのセルプレート（対向電極）は基板自体である。このため基板を接地すれば対向電極電位は極めて安定し、いわゆる電圧バンプによる動作マージンの減少や誤動作がない。
- ② 基板は1つの大きな等電位の電極板であって、キャパシタ間がどんなに接近してもその間の干渉が一切ない。

この干渉とは、キャパシタ間のパンチスルーによる電荷のリーク、及び間が空乏層で接すること

○

によって一方のキャパシタで起こった充電・放電による電位変化が静電結合により他のキャパシタに及んで、その蓄積電荷量を変調してしまうことである。

③ 蓄積電極は絶縁層で囲まれ、基板内に空乏層を大きく拡げることがないため、ソフトエラーの障害を起こし難い。

④ 蓄積キャパシタは n^+ 型ポリSi層～誘電体層～ p^+ 型ポリSi層よりなり、反転層を用いていないので書込み電圧の損失はない。

⑤ n^+ 型半導体～誘電体層～ p^+ 型半導体構造のキャパシタでは、蓄積電極に電圧が加わると半導体側に空乏層が発生する。

n^+ 、 p^+ の濃度が低いと空乏層は誘電体層に重なり、蓄積容量が電圧依存性を持って実効的容量が減ってしまうという不利な一面を持っているが、 n^+ 、 p^+ の濃度を高くすると大きな欠点にはならない。

この構造はむしろ、規定以上の高電圧が加えられた時に、空乏層が伸びて絶縁層中の電界を緩和

するので、キャパシタがブレイクダウンしにくく、耐圧が高くとれる利点がある。

⑥ この構造は、トランジスタのソース／ドレイン領域の下にキャパシタが埋込まれて形成されるため、メモリセルはほぼトランジスタ 1 個分の大きさでセル自体が従来に比べ大幅に縮小される。

そして更に本発明の構造においては、従来セルにおいて基板上に形成されていたセルプレートがないのでセルプレートとキャパシタ及びトランジスタ間の位置合わせのための寸法余裕をとる必要がなく、且つソース／ドレイン領域と蓄積電極との接続も、マスクプロセスを用いず隣接するワード線同士の間隔部においてワード線に自己整合して形成されるので、一層のセルの小型化及びセル間隔の縮小が図れる。

なお、本発明の構造は上記実施例に限らず、エピタキシャル層、ウェル内に形成されるDRAMセルにも適用される。

また上記実施例と反対導電型のDRAMセルにも適用される。

〔発明の効果〕

以上説明したように本発明によれば、安定性の高い、キャパシタ間の干渉のない、キャパシタ耐圧の高い、微細化、高集積化が可能なトレンチキャパシタ構造のDRAMセルが得られる。

4. 図面の簡単な説明

第1図は本発明の一実施例によるトレンチキャパシタセルを模式的に示す平面図(a)及び側断面図(b)、

第2図(a)～(d)は同トレンチキャパシタセルの製造方法の一例を示す工程平面図及び工程断面図、

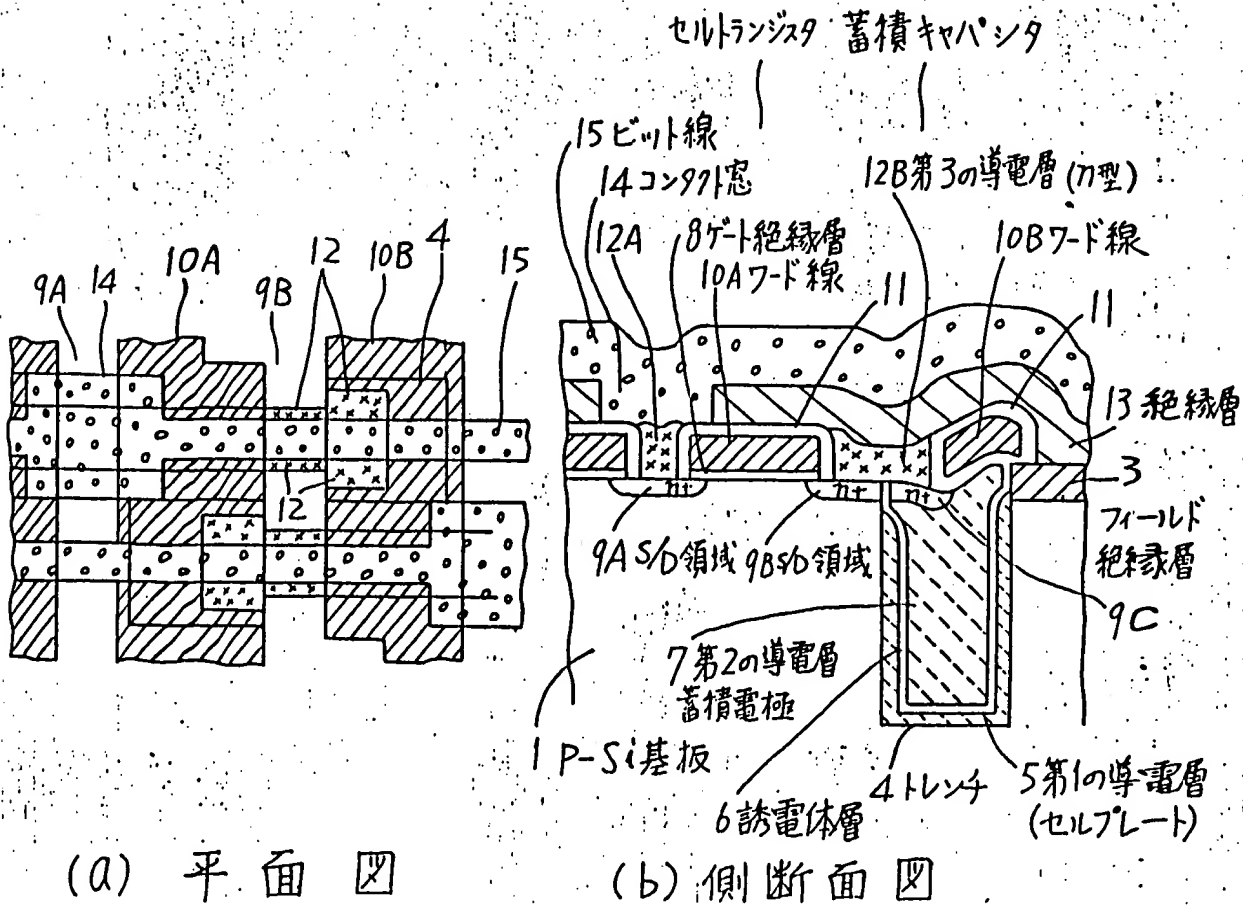
第3図は従来のトレンチキャパシタセルの模式側断面図である。

図において、

- 1 は半導体基板でp-Si基板、
- 2 は耐酸化膜で Si_3N_4 層、
- 3 はフィールド絶縁膜層で SiO_2 層、
- 4 は溝（トレンチ）、

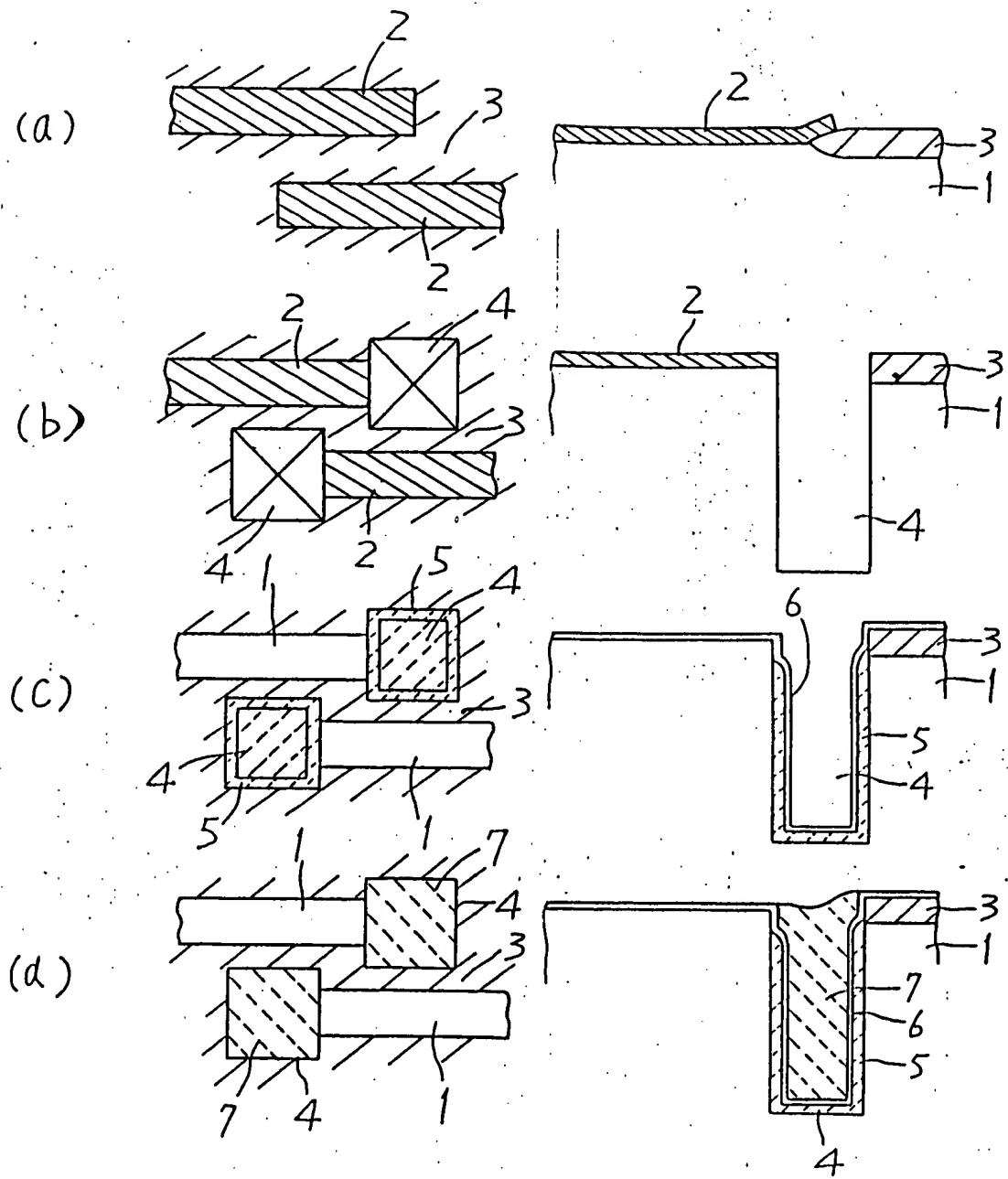
5 は第 1 の導電層で p + 型ポリ Si よりなる
セルプレート（対向電極）、
6 は窒化珪素 (Si_3N_4) よりなる誘電体層、
7 は第 2 の導電層で n + 型ポリ Si よりなる
蓄積電極、
8 はゲート絶縁層で SiO_2 層、
9A、9B は
n + 型ソース／ドレイン (S/D) 領域、
9C は n + 型不純物導入領域。
10A、10B は TiSi_2 層よりなるワード線、
11 は SiO_2 絶縁層、
12A、12B は
n + 型ポリ Si 層よりなる第 3 の導電層、
13 は層間絶縁層、
14 は配線コンタクト窓、
15 はアルミニウム (Al) よりなるビット線
を示す。

代理人 弁理士 井桁貞一



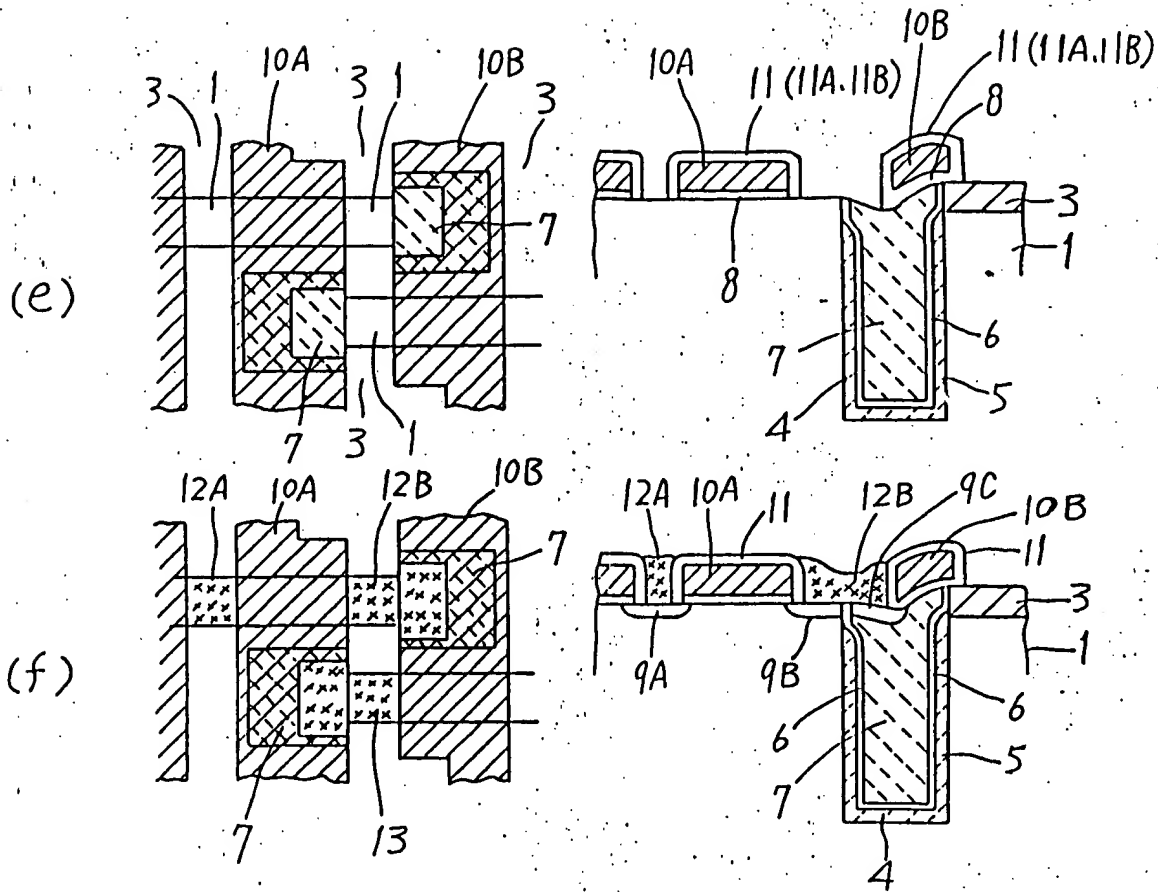
本発明のトレンチキャパシタセルの模式図

第 1 図



平面図 断面図

本発明に係るトレンチキャパシタセルの製造方法の
工程平面図及び工程断面図

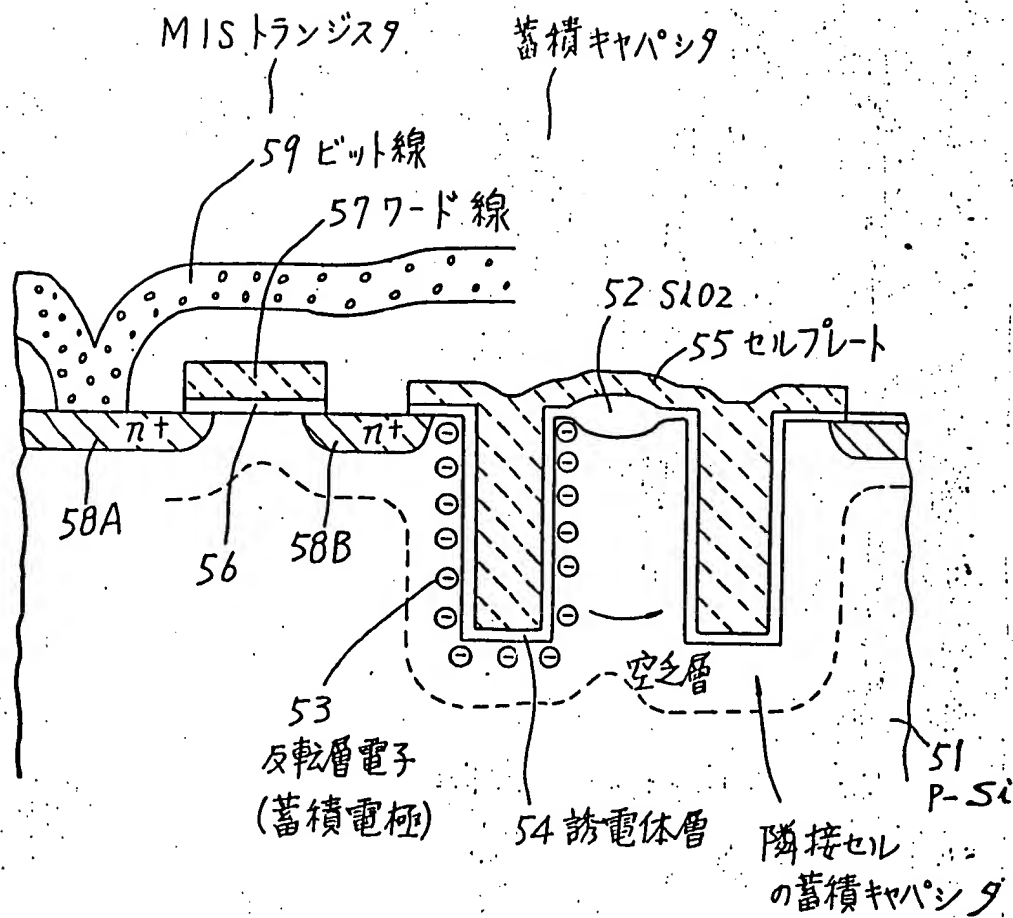


平面図

断面図

本発明に係るトレンチキャパシタセルの製造方法の
工程平面図及び工程断面図

第 2 図



従来のトレンチキャパシタセルの模式側断面図

第 3 図